

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-102660

(43)公開日 平成8年(1996)4月16日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 L 7/06

H 0 3 C 3/00

A

H 0 3 L 7/ 06

J

審査請求 未請求 請求項の数 3 F D (全 6 頁)

(21)出願番号 特願平6-263080

(22)出願日 平成6年(1994)10月3日

(71)出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72)発明者 成田 喜則

東京都千代田区大手町二丁目6番3号 新

日本製鐵株式会社内

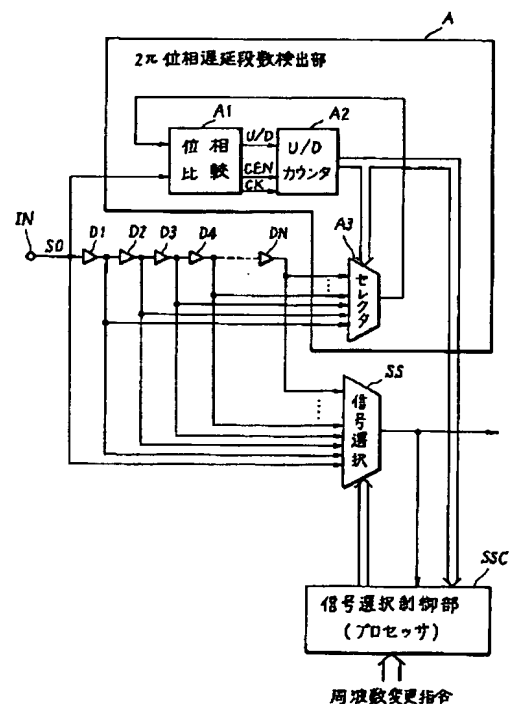
(74)代理人 弁理士 櫻井 俊彦

(54)【発明の名称】 信号変調回路

(57)【要約】

〔目的〕 簡易・安価の構成のもとに高精度かつ可変周波数の信号を発生できる信号変調回路を提供する。

〔構成〕 原信号(S0)をほぼ同一時間ずつ遅延させる縦列接続された複数の信号遅延回路(D1～DN)と、原信号(S0)又は各信号遅延回路(D1～DN)から出力された遅延信号(S1～SN)の一つを選択して出力する信号選択回路(SS)と、この信号選択回路(SS)による信号の選択を制御する信号選択制御回路(SSC)とを備えている。この信号選択制御回路(SSC)は、原信号(S0)又は各信号遅延回路から出力された遅延信号(S1～SN)の一つを遅延時間の増加の順にかつ360°未満の位相差に相当する最大遅延時間が生じる範囲内で順次又は1つ若しくは複数跳びに選択する動作を信号選択回路(SS)に反復させるように構成されている。



1

【特許請求の範囲】

【請求項1】 デジタルの原信号をほぼ同一時間ずつ遅延させる縦列接続された複数の信号遅延回路と、前記原信号又は前記各信号遅延回路から出力された遅延信号の一つを選択して出力する信号選択回路と、前記原信号又は前記各信号遅延回路から出力された遅延信号の一つを遅延時間の増加の順にかつほぼ360°の位相差に相当する最大遅延時間が生ずる範囲内で順次又は1つ若しくは複数跳びに選択する動作を前記信号選択回路に反復させる信号選択制御回路とを備えたことを特徴とする信号変調回路。

【請求項2】 請求項1において、前記デジタルの原信号は、水晶発振器を用いて発生させたデジタル信号であることを特徴とする信号変調回路。

【請求項3】 請求項1又は2において、前記原信号とほぼ2πの位相差を有する前記遅延信号を出力する前記遅延回路の段数を検出し、前記信号選択制御回路に通知する2π位相遅延段数検出部を更に備えたことを特徴とする信号変調回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、信号の周波数の微調などに利用される信号変調回路に関するものである。

【0002】

【従来の技術】 デジタル信号処理の分野では、信号の周波数を高精度に保つと共にこの周波数をかなりの範囲にわたって変更することが必要になる場合がある。CR発振回路の静電容量などを制御することによってかなりの範囲にわたる周波数の変更は容易であるが、周波数精度を高めることは困難である。水晶発振器を使用すれば周波数の高精度化は可能になるが、周波数の可変範囲は制限される。従って、従来は、必要な周波数の水晶発振器を多数設置しておき、その中から必要な周波数のものを選択することにより、高精度の可変周波数の信号を得ている。

【0003】

【発明が解決しようとする課題】 上記水晶発振器を多数設置する従来の可変周波数回路では、多数の水晶発振器が必要になり、このため、回路が複雑・高価になるという問題がある。従って、本発明の一つの目的は、簡易で安価な構成のもとに高精度かつ可変周波数の信号を発生できる信号変調回路を提供することにある。

【0004】

【課題を解決するための手段】 本発明の信号変調回路は、原信号を同一時間ずつ遅延させる縦列接続された複数の信号遅延回路と、原信号又は各信号遅延回路から出力された遅延信号の一つを選択して出力する信号選択回路と、この信号選択回路による信号の選択を制御する信号選択制御回路とを備えている。この信号選択制御回路

2

は、原信号又は各信号遅延回路から出力された遅延信号の一つを遅延時間の増加の順にかつ360°未満の位相差に相当する最大遅延時間が生ずる範囲内で順次又は1つ跳び若しくは複数跳びに選択する動作を信号選択回路に反復させるように構成されている。

【0005】

【作用】 図4の波形図を参照しながら本発明の作用を説明する。S0は水晶発振器などの周波数安定度の高い発振器で発生された正弦波の信号から作成された周波数安定度の高いデジタルの原信号であり、S1～S7は原信号S0をその周期の1/8に相当する一定時間τずつ順次遅延させた信号である。この原信号S0と遅延信号S1～S7から成る8個の信号が信号選択回路に供給される。この信号選択回路は、信号選択制御回路の制御のもとに、信号S0、S1、S2・・・の順に信号を選択して出力する。

【0006】 すなわち、信号選択回路は、原信号S0が立ち上がる前にこの原信号S0を選択して出力し、原信号S0の立ち上がりからτ以上の時間が経過しかつ遅延信号S1が立ち下がる前にこの遅延信号S1を選択して出力し、さらに、遅延信号S1の立ち下がりからτ以上の時間が経過しかつ遅延信号S2が立ち上がる前にこの遅延信号S2を選択して出力するという具合に、原信号の周期Tよりも短い周期で遅延された信号を順次選択して出力してゆく。信号選択回路は、最後の遅延信号を選択したのちは、再度原信号を選択し、続いて順次信号S1、S2、S3・・・を順次選択してゆくという動作を反復する。

【0007】 この結果、信号選択回路から出力される信号は、信号SG1で示すように、原信号の周期Tよりも遅延時間τ(T/8)だけ長い周期(9T/8)の信号に変換される。上記原信号と遅延信号の選択をS0、S2、S4、S6、S0という具合に1跳びに反復すると、信号SG2で示すように、原信号の周期Tよりも遅延時間τの2倍(2T/8)だけ長い周期(10T/8)の信号に変調される。説明の便宜上、遅延時間の原信号の周期に対する比率が相当大きい場合を例示した。実際には、この比率を十分小さな値に設定することにより、原信号をその周期に比べて僅かに長い周期の信号に変換できる。また、1又は複数の入力デジタル信号の2状態やこれらの組合せや、入力アナログ信号のレベルに応じて周波数を動的に変更することにより、MF(多周波)信号発生回路やFM変調回路を構成することもできる。以下、本発明を実施例と共に更に詳しく説明する。

【0008】

【実施例】 図1は、本発明の一実施例の信号変調回路の構成を示すブロック図である。この信号変調回路は、水晶発振器などを用いて発生させた周波数安定度の高い原信号の入力端子INと、縦列接続された遅延回路D1、

D2, D3...DNと、信号選択回路SSと、ハードウェア構成の信号選択制御回路SSCとを備えている。ハードウェア構成の信号選択制御回路SSCは、エッジ検出回路EDと、フリップフロップF/Fと、遅延回路DLと、プログラマブルカウンタPCと、デコーダDCと、入力部IPとを備えている。

【0009】図1の信号変調回路の遅延回路の段数は、使用目的によっては、実際には数百段から数千段にも及ぶ場合も多いが、ここでは説明の便宜上遅延回路の段数を7段と仮定し、遅延回路D1, D2, D3...の遅延時間 τ を原信号の周期Tの $1/8$ であるとする。再び図4の波形図を使用してこの実施例の信号変調回路の動作を説明する。

【0010】動作開始時の初期状態においては、信号選択制御回路SSCのプログラマブルカウンタPCは、初期値「0」であり、この初期値「0」を解読したデコーダDCは信号選択回路SSに原信号S0の選択指令を出力する。また、この初期状態においては、フリップフロップF/Fの出力はローであり、このロー信号をエッジ指定信号として受けるエッジ検出回路EDは、信号選択回路SSから出力される信号SG1中に出現する立ち上がりエッジの検出状態に初期設定される。

【0011】図4の波形図に示すように、最初に選択中の原信号S0がローからハイに立ち上がると、この立ち上がりエッジを検出したエッジ検出回路EDはエッジ検出パルスPを出力する。このエッジ検出パルスPは、遅延回路DLとフリップフロップF/Fに供給される。このエッジ検出パルスPを受けたフリップフロップF/Fの出力はローからハイに反転し、これをエッジ指定信号として受けたエッジ検出回路EDは、立ち上がりエッジの検出状態から立ち下がりエッジの検出状態に移行する。エッジ検出回路EDから出力されたエッジ検出パルスPは、遅延回路DLで τ よりも多少大きな所定時間遅延されたパルスP'としてプログラマブルカウンタPCに供給され、そのカウント値が「0」から「1」にカウントアップされる。

【0012】このカウントアップされたカウント値「1」を解読したデコーダDCは、信号選択回路SSに遅延信号S1の選択指令を出力する。この選択指令を受けた信号選択回路SSは、選択中の原信号S0に代えてこれよりも τ だけ遅延した遅延信号S1を新たに選択する。この結果、信号選択回路SSの出力は、原信号S0の立ち上がり時点から遅延回路DLで設定されている τ よりも大きな遅延時間だけ遅れて原信号S0から遅延信号S1に切り換えられる。このうち、選択中の遅延信号S1がハイからローに立ち下がると、この立ち下がりエッジを検出したエッジ検出回路EDはエッジ検出パルスPを出力する。このエッジ検出パルスPを受けたフリップフロップF/Fの出力はハイからローに反転し、これをエッジ指定として受けたエッジ検出回路EDは、立ち

下がりエッジの検出状態から立ち上がりエッジの検出状態に移行する。エッジ検出回路EDから出力されたエッジ検出パルスPは、遅延回路DLで所定時間遅延されたパルスP'としてプログラマブルカウンタPCに供給され、そのカウント値が「1」から「2」にカウントアップされる。

【0013】このカウント値「2」を解読したデコーダDCは、信号選択回路SSに遅延信号S2の選択指令を出力する。信号選択回路SSは、選択中の原信号S1に代えてこれよりも τ だけ遅延した遅延信号S2を新たに選択する。この結果、信号選択回路SSの出力は、原信号S1の立ち下がり時点から遅延回路DLで設定されている τ よりも大きな遅延時間だけ遅れて原信号S1から遅延信号S2に切り換えられる。このうち、選択中の遅延信号S2がローからハイに立ち上がると、この立ち上がりエッジを検出したエッジ検出回路EDはエッジ検出パルスPを出力する。このエッジ検出パルスPを受けたフリップフロップF/Fの出力はローからハイに反転し、これをエッジ指定信号として受けたエッジ検出回路EDは、立ち上がりエッジの検出状態から立ち下がりエッジの検出状態に移行する。エッジ検出回路EDから出力されたエッジ検出パルスPは、遅延回路DLで所定時間遅延されたパルスP'としてプログラマブルカウンタPCに供給され、そのカウント値が「2」から「3」にカウントアップされる。

【0014】以下、同様にして、信号選択回路SSで選択中の遅延信号S3, S4, S5, S6に立ち上がりエッジや立ち下がりエッジが検出されるたびに、 τ ずつ遅れた遅延信号が新たに選択されてゆく。最後に選択される遅延信号S7は、原信号S0よりも、位相角でほぼ 360° (2π) 近く遅延しており、これをさらに τ だけ遅延させると原信号S0よりも丁度 2π 遅延した信号になる。遅延信号S7の立ち下がりエッジが検出されると、遅延信号S7に代えて原信号S0よりも丁度 2π だけ遅延された信号すなわち、原信号S0が再度選択され、カウント値「8」に達したプログラマブルカウンタは初期値「0」に復帰し、この信号変調回路は、動作開始直後の初期状態に復帰する。以後、原信号S0の立ち上がりエッジの検出に伴い上述したと同様の動作が反復される。

【0015】図2は、本発明の他の実施例の信号変調回路の構成を示すブロック図である。この実施例の信号変調回路は、図1に示した信号変調回路内のハードウェア構成の信号選択制御部SSCをプロセッサによるソフトウェア制御の信号選択制御部SSRで実現すると共に、 2π 位相遅延段数検出部Aを付加した構成となっている。

【0016】 2π 位相遅延段数検出部Aは、縦列接続された遅延回路D1, D2, D3...DNのうち何段目の遅延回路の出力が原信号S0よりもほぼ 2π だけ位

5

相が遅延しているのかを検出し、その検出段数 n を信号選択制御部 SSC に通知するためのものである。このような 2π 位相遅延段数検出部 A を付加することにより、遅延回路 $D1 \sim DN$ の位相遅延量が周囲温度の変動などに伴って変動したり、あるいは原信号の周期が変更されて 2π の位相差を生ずる遅延回路の段数が変更されても、信号制御部 SSC は、何段目の遅延回路までの間を切り換えれば所望の信号変調が可能かを知ることができる。

【0017】 2π 位相遅延段数検出部 A は、比較回路 $A1$ と、アップ/ダウン・カウンタ $A2$ と、セクタ $A3$ とから構成されている。位相比較回路 $A1$ は、原信号 $S0$ を 2 分周した信号とセクタ $A3$ が選択中の遅延信号 Sn を 2 分周した信号 $Sn2$ との位相差を比較し、比較結果に応じて、信号 $Sn2$ を更に遅延した信号 CK に同期してカウント値を 1 だけカウントアップするか 1 だけカウントダウンかを指定する U/D 信号と、カウントアップやカウントダウンを実行するか否かを指定するカウントイネーブル信号 CEN を後段のアップ/ダウンカウンタ $A2$ に出力する。

【0018】 位相比較回路 $A1$ は、図4に示すように、 D フリップフロップ $1, 2, 3, 4$ と、 2 入力アンドゲート 5 と、 2 入力ノアゲート 6 と、遅延回路 $7, 8$ とから構成されている。 D フリップフロップ 1 は、セクタ $A3$ が選択中の遅延信号 Sn を 2 分周することにより、図5の波形図に示すような 2 分周遅延信号 $Sn2$ を発生させる。同様に、 D フリップフロップ 2 は、原信号 $S0$ を 2 分周することにより、図5に示すような 2 分周原信号 $S02$ を発生させる。

【0019】 2 分周原信号 $S0$ は、フリップフロップ 3 のクロック入力端子に供給されると共に、遅延回路 7 で適宜な時間だけ遅延された遅延 2 分周原信号 $S02d$ となり、フリップフロップ 4 のクロック入力端子に供給される。 2 分周原信号 $S02$ の立上がり時点 $t1$ と、遅延 2 分周原信号 $S02d$ の立上がり時点 $t2$ と、 2 分周遅延信号 $Sn2$ の立上がり時点との前後関係に応じて、 D フリップフロップ $3, 4$ の出力信号 a, b が変化し、これらの出力信号を受ける 2 入力アンドゲート 5 と 2 入力ノアゲート 6 の出力が変化する。

【0020】 アップ/ダウンカウンタ $A2$ には、原信号 $S0$ よりもほぼ 360° 遅延した遅延信号を選択するために必要と予測されるカウント値が初期値として予め設定されている。この予測値が正しければ、 2 分周遅延信号 $Sn2$ が時点 $t1$ と $t2$ の間で立上がる。実際には、図6 (A) に示すように、カウント値の初期値が小さ過ぎたために選択中の 2 分周遅延信号 $Sn2$ の遅延量が小さ過ぎ、時点 $t1$ に先行して 2 分周遅延信号 $Sn2$ がハイに立上がるものとする。

【0021】 先行してハイに立上がった 2 分周遅延信号 $Sn2$ を、時点 $t1$ と $t2$ でラッチする D フリップフロ

6

ップ 3 と 4 の各出力信号 a と b とは、共にハイ (H) 状態を保つ。この結果、アンドゲート 5 から出力される U/D 信号はハイ状態に保たれ、後段のアップ/ダウンカウンタ $A2$ (図2参照) にカウントアップが指令される。また、ノアゲート 6 から出力されるカウントイネーブル信号 CEN はハイに保たれ、後段のアップ/ダウンカウンタ $A2$ にカウント動作の継続が指令される。

【0022】 この結果、アップ/ダウンカウンタ $A2$ は、遅延 2 分周原信号 $S02d$ を遅延回路 8 で更に遅延させた信号 CK の立上がり時点 $t3$ に同期してカウント値を 1 だけ増加させる。アップ/ダウンカウンタ $A2$ のカウント値が 1 だけ増加されると、図2のセクタ $A3$ は選択中の遅延信号 Sn が更に τ だけに遅延された遅延信号 $Sn+1$ を選択し、位相比較回路 $A1$ に供給する。このように、図6 (A) に示すタイミングの関係が成立している期間は、アップ/ダウンカウンタ $A2$ のカウント値が信号 CK の立上がり時に同期して 1 だけ増加され、 τ ずつ遅延した信号がセクタ $A3$ で順次選択されてゆく。

【0023】 図6 (B) に示すように、新たに選択された 2 分周遅延信号 $Sn2$ が時点 $t1$ と $t2$ の間で立上がるようになったとすれば、ハイに立上がる直前の 2 分周遅延信号 $Sn2$ を時点 $t1$ でラッチした D フリップフロップ 3 の出力 a はロー (L) に変化し、ハイに立上がった直後の 2 分周遅延信号 $Sn2$ を時点 $t2$ でラッチした D フリップフロップ 4 の出力 b はハイ状態を保つ。この結果、アンドゲート 5 から出力される U/D 信号はローに立上がり、後段のアップ/ダウンカウンタ $A2$ にカウントダウンが指令される。また、ノアゲート 6 から出力されるカウントイネーブル信号 CEN はローに立下がり、後段のアップ/ダウンカウンタ $A2$ にカウント動作の停止が指令される。この結果、アップ/ダウンカウンタ $A2$ のカウント値は不変に保たれ、選択中のほぼ 360° 遅延した遅延信号 Sn が選択され続ける。

【0024】 図6 (C) に示すように、選択中の遅延信号 $Sn2$ が目標値よりも遅延し過ぎてしまい、時点 $t2$ の直後に立上がる状態になったとすれば、ハイに立上がる直前の 2 分周遅延信号 $Sn2$ を時点 $t1, t2$ の各時点でラッチする D フリップフロップ $3, 4$ の出力 a と b は共にローとなる。この結果、アンドゲート 5 から出力される U/D 信号はロー状態を保ち、後段のアップ/ダウンカウンタ $A2$ にカウントダウンが指令される。また、ノアゲート 6 から出力されるカウントイネーブル信号 CEN はハイに立上がり、後段のアップ/ダウンカウンタ $A2$ にカウント動作の開始が指令される。この結果、アップ/ダウンカウンタ $A2$ のカウント値は 1 だけ減少され、選択中の遅延信号 Sn よりも τ だけ遅延量の少ない遅延信号 $Sn-1$ が新たに選択される。

【0025】 上記新たな遅延信号の選択によって図6 (D) の状態から、図6 (D) の状態に移行したものと

7

すれば、カウントイネーブル信号CENはローになってアップ/ダウンカウンタA2のカウンタ動作は停止され、原信号S0からほぼ360°遅延した選択中の遅延信号が選択され続ける。

【0026】以上、説明の便宜上、2分周遅延信号Sn2が2分周原信号S0と遅延2分周原信号S0dの間で立上るようにしたため、遅延信号Sn2の原信号S0に対する位相の遅延量が360°よりも僅かに大きな値になった。しかしながら、実際には、2分周遅延信号Sn2が更に適宜な同量ずつ遅延させた2分周原信号S0と遅延2分周原信号S0dとの間で立上がる構成を採用することにより、遅延信号Sn2の原信号S0に対する位相の遅延量が360°よりも僅かに小さな値に設定される。

【0027】

【発明の効果】以上詳細に説明したように、本発明の信号変調回路は、ほぼ同一時間ずつ遅延させた遅延信号の一つを遅延時間の増加の順にかつ360°未満の位相差に相当する最大遅延時間が生ずる範囲内で順次又は1つ跳び若しくは複数跳びに選択する構成であるから、簡易・安価な構成のもとで、高精度かつ変更可能な周波数の信

8

号の発生などを実現できるという効果が奏される。

【図面の簡単な説明】

【図1】本発明の一実施例の信号変調回路の構成を示すブロック図である。

【図2】本発明の他の実施例の信号変調回路の構成を示すブロック図である。

【図3】図2の2π位相遅延段数検出部A内の位相比較回路A1の構成の一例を示す回路図である。

【図4】本発明の作用を説明するための波形図である。

【図5】図3の位相比較回路A1の動作を説明するための波形図である。

【図6】図3の位相比較回路A1の動作を更に詳細に説明するための波形図である。

【符号の説明】

D1～DN 信号遅延回路

SS 信号選択回路

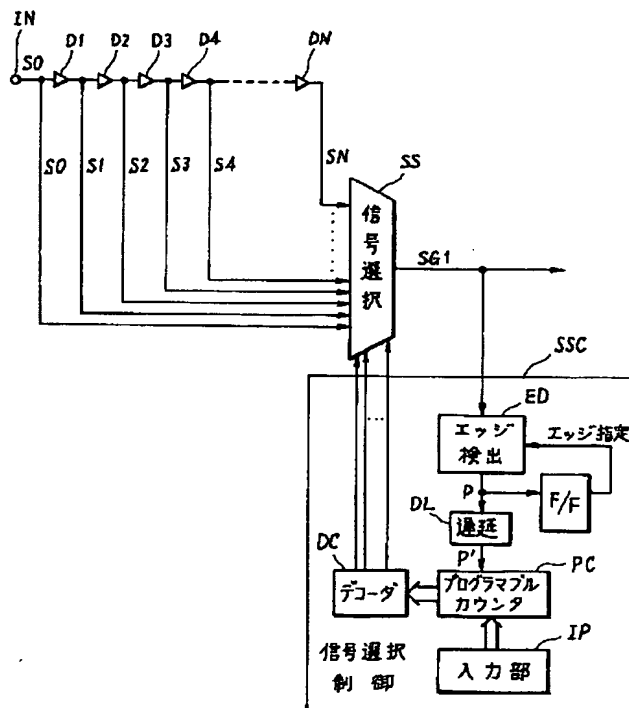
SSC 信号選択制御回路

S0 遅延前の原信号

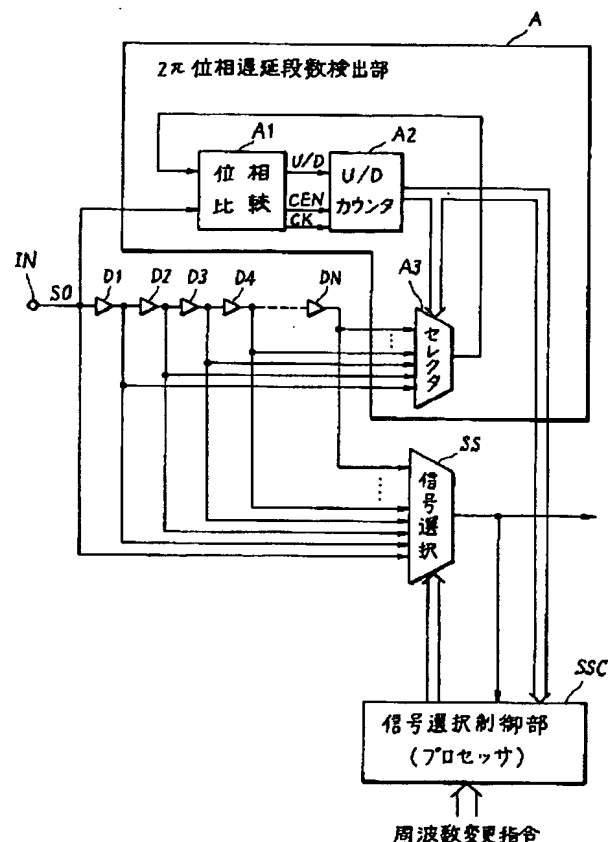
S1～SN 順次εずつ遅延された遅延信号

A 2π位相遅延段数検出部

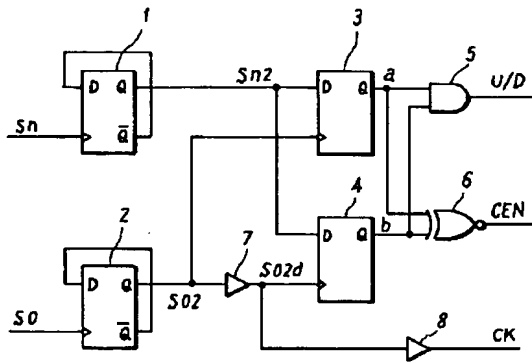
【図1】



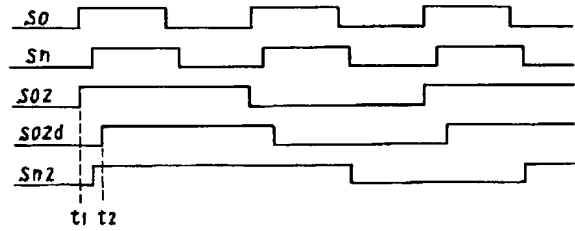
【図2】



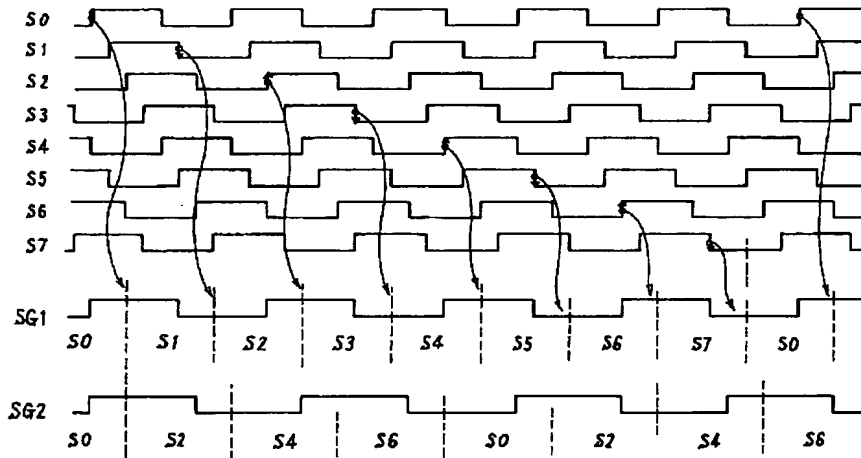
【図3】



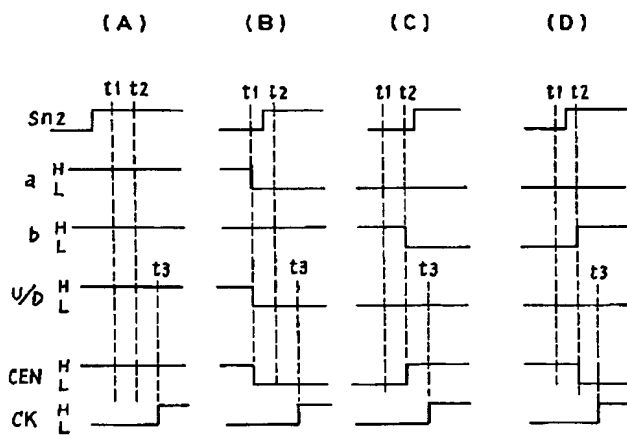
【図5】



【図4】



【図6】



BEST AVAILABLE COPY